

3

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09036823 A**

(43) Date of publication of application: **07.02.97**

(51) Int. Cl.

H04J 3/00
H03M 7/20
H03M 9/00
H03M 13/22
H04L 25/49

(21) Application number: **07201688**

(71) Applicant: **NEC CORP**

(22) Date of filing: **14.07.95**

(72) Inventor: **SUEMURA TAKEHIKO**

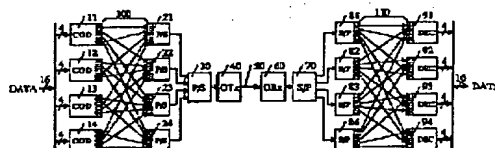
(54) **PARALLEL DATA TRANSMITTER USING MBNB CODE**

(57) Abstract:

PROBLEM TO BE SOLVED: To make a serial signal to be transmitted into the signal that an mBnB code is multiplexed for every word and to completely exhibit the mark ratio improving effect that the code is intrinsically provided.

SOLUTION: The encoding circuits 11 to 14 on a transmission side perform 4B5B encodings for parallel signals of 4-bit width and output parallel signals of 5-bit width. An interleave circuit 100 interleaves 4 parallel signals of 5-bit width, the bit multiplexings of two stages are performed for the parallel signals by first and second parallel/serial conversion circuits 21 to 24 and 30 and the signals are made serial signals. Next, optical transmissions are performed by an optical transmitter 40 and an optical receiver 60, the bit separations of two stages are performed by first and second serial/parallel conversion circuits 70 and 81 to 84 on a reception side, the parallel signals are made the parallel signals of 20-bit width, the signals are deinterleaved by a deinterleave circuit 110 and the signals are made four parallel signals of 5-bit width. Decoding circuits 91 to 94 decode the parallel signals of 5-bit width into 5B4B and output the parallel signals of 4-bit width.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 3 6 8 2 3

(43) 公開日 平成9年(1997)2月7日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H O 4 J	3/00		H O 4 J	3/00 A
H O 3 M	7/20	9382-5 K	H O 3 M	7/20 B
	9/00	9382-5 K		9/00 B
	13/22			13/22
H O 4 L	25/49	9199-5 K	H O 4 L	25/49 A
審査請求	有	請求項の数 3	F D	(全 6 頁)

(21) 出願番号 特願平7-201688

(22) 出願日 平成7年(1995)7月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 末村 剛彦

東京都港区芝五丁目7番1号 日本電気株式会社内

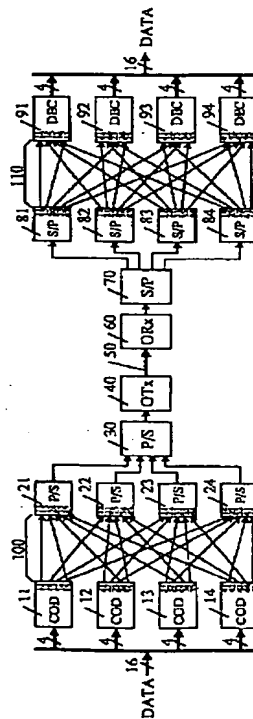
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 m B n B 符号を用いた並列データ伝送装置

(57) 【要約】

【課題】 伝送される直列信号を m B n B 符号をワード毎に多重したものにし、符号が本来備えているマーク率改善効果を完全に発揮するデータ伝送装置の提供。

【解決手段】 送信側の符号化回路11~14は4ビット幅の並列信号を4 B 5 B 符号化し、5ビット幅の並列信号を出力し、インタリーブ回路100は4個の5ビット幅の並列信号をインタリーブし、第1、第2の並列/直列変換回路21~24、30により2段階にビット多重され直列信号となり、光送信機40および光受信機60により光伝送され、受信側では、第1、第2の直列/並列変換回路70、81~84により2段階にビット分離され、20ビット幅の並列信号とされデインタリーブ回路110によりデインタリーブされ4個の5ビット幅の並列信号となり復号回路91~94は5ビット幅の並列信号を5 B 4 B 復号して4ビット幅の並列信号を出力する。



【特許請求の範囲】

【請求項1】送信側に、 m ビット幅（ m は自然数）の並列デジタル信号を $mBnB$ 符号化して n ビット幅（ n は2以上の整数）の並列信号を出力する k 個（ k は自然数）の $mBnB$ 符号化回路と、

該 k 個の $mBnB$ 符号化回路から出力された k 個の n ビット幅の並列信号をインタリーブして $k \times n$ ビット幅の並列信号を出力するインタリーブ回路と、

該インタリーブ回路から出力された $k \times n$ ビット幅の並列信号を、2回以上ビット多重することにより直列信号に変換する並列／直列変換回路と、

を備え、

受信側に、受信した直列信号を2回以上ビット分離することにより $k \times n$ ビット幅の並列信号に変換する直列／並列変換回路と、

該直列／並列変換回路から出力された $k \times n$ ビット幅の並列信号をデインタリーブして k 個の n ビット幅の並列信号を出力するデインタリーブ回路と、

該デインタリーブ回路から出力された k 個の n ビット幅の並列信号を、それぞれ $nBmB$ 復号して m ビット幅の並列信号を出力する k 個の $nBmB$ 復号回路と、

を備え、 $k \times m$ ビット幅の並列デジタル信号を送送することを特徴とするデータ伝送装置。

【請求項2】並設された複数の $mBnB$ 符号化回路と、該複数の $mBnB$ 符号化回路から出力される複数の符号語を入力し複数回のビット多重化により直列信号を出力する並列／直列変換手段と、

を備え、該直列信号を送出するデータ伝送装置において、

前記直列信号が前記符号語単位に多重化されてなり前記符号語内のビット順序を保存して含むように、前記 $mBnB$ 符号化回路の出力を前記並列／直列変換手段の入力に分配して供給する手段を備えたことを特徴とするデータ伝送装置。

【請求項3】受信した直列信号を複数回ビット分離して並列信号に変換する直列／並列変換手段を備え、該並列信号を $nBmB$ 復号化する $nBmB$ 復号回路を複数個備えたデータ伝送装置において、

$mBnB$ 符号語を符号語単位に多重化してなる直列信号を入力する前記直列／並列変換手段の出力を、前記 $nBmB$ 復号回路から出力される復号語が語（ワード）毎にビット順序を保存するように、前記 $nBmB$ 復号回路の入力に分配して供給する手段を備えたことを特徴とするデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ伝送装置に関し、特に並列デジタル信号を時分割多重により直列信号に変換して伝送するデータ伝送装置の伝送路符号化方式に関する。

【0002】

【従来の技術】デジタル信号を伝送するデータ伝送装置では、クロック抽出を容易にするため、あるいは電気回路のAC（交流）結合を可能にするために何らかの伝送路符号を用いる場合が多い。

【0003】伝送路符号の代表的なものとして「 $mBnB$ 符号」と呼ばれる符号がある。

【0004】 $mBnB$ 符号（ m 、 n は正整数）は、元の信号を長さ m ビットのブロックに区切り、このブロックを n ビットの符号に変換するものである（この符号化された1ブロックを「ワード」という）。

【0005】 $mBnB$ 符号では、1ワード毎のマーク率が $1/2$ を中心とした一定の範囲に必ず含まれ、同符号連続の最大長もその符号に固有な値に限定されるという優れた特徴を持つ。

【0006】また、符号化回路及び復号回路がともに並列な組み合わせ論理回路で構成されることから、低いクロック周波数で動作させることが可能とされ、消費電力を抑制することができる。

【0007】 $mBnB$ 符号の伝送レートは、元の信号レートの n/m 倍となる。

【0008】伝送路信号としてよく知られているマンチェスタ符号は、元の信号の“0”を“01”で、“1”を“10”で表す符号で、 $mBnB$ 符号の究極的なもの、すなわち $m=1$ 、 $n=2$ の場合といえる。

【0009】しかし、マンチェスタ符号では伝送レートが元の信号レートの2倍になり、効率が悪い。そのため、 $mBnB$ 符号で一般的に用いられるのは4B5B符号、あるいは8B10B符号等である。

【0010】これらの符号は主に光伝送を用いるLAN（Local Area Network）等で広く使用され、例えば4B5B符号がFDDI（Fiber-distributed data interface：ISO9314-2、ISO9314-3）に採用され、8B10B符号がファイバチャネル（Fibre Channel：ANSI X3T11、Fibre Channel Physical and Signaling Interface Rev. 4.3、1994）に採用されている。

【0011】一方、並列デジタル信号を時分割多重技術により並列／直列変換して伝送する方式は、幹線系の伝送システムでは公知の技術であるが、コンピュータのボード間、筐体間インタコネクション（相互接続）等の分野でも、信号線数を大幅に減少することを可能とする、長距離伝送する場合にもスキューが生じない等、多くの利点を持つ。

【0012】特に、Gb/s（ギガビット／秒）級の伝送レートが可能な光伝送を用いる方式が注目されており、例えば直列信号の伝送レートが10Gb/sの高速リンクなどが提案されている（例えば文献（K. Kaminishi et al., “Small 10-Gbit/s Optical-bus-link Modules with an 8-bit Multiplexer/Demultiplexer,” Technical Digest of Conference on Optical Fiber Communication

n, 1993, paper FF2) 参照)。

【0013】このような光リンクにおいてもmBnB符号を用いることにより、マーク率をほぼ1/2に保つことができる。

【0014】例えば、図3に示すような構成が考えられる。高ビットレートのデータリンクでは元々低ビットレートの信号を複数多重して1本の直列信号に変換して伝送するため、2段階以上の並列/直列(P/S)変換を行うのが一般的である。このようなシステムにmBnB符号を使用する場合、符号化回路や復号回路は並列/直列変換回路等と比べると複雑な論理回路であるため、動作クロック周波数の低い部分に配置したいという要求がある。

【0015】このため、図3に示すように、符号化回路(COD)11~14は並列/直列変換回路(P/S)21~24の前段に配置され、復号回路(DEC)91~94は直列/並列変換回路(S/P)81~84の後段に配置されている。

【0016】図3を参照して、16ビットデータ(DATA)は4ビット毎に、4つの互いに並設された符号化回路11~14に入力されて4B5B符号化され、4つの符号化回路11~14のワード(5ビット)出力はそれぞれ第1の並列/直列変換回路(P/S)21~24にて直列信号に変換され、第1の並列/直列変換回路(P/S)21~24の出力(4ビット)は第2の並列/直列変換回路(P/S)30にてビット多重化され光送信器(OTx)40から光信号として光ファイバ50に送出される。光受信器(ORx)60は受信した光信号を電気信号に変換し、第1の直列/並列変換回路(S/P)70にて並列信号(4ビット)に変換され、第1の直列/並列変換回路(S/P)70の出力はそれぞれ第2の直列/並列変換回路(S/P)81~84にて並列信号(5ビット)に変換され、復号回路91~94で5B4B復号化され(4ビット出力)、16ビットデータとして出力される。

【0017】

【発明が解決しようとする課題】しかし、図3に示すような構成の伝送装置では、符号化された信号を並列/直列変換する際に2回以上ビット多重することにより、伝送される直列信号においてmBnB符号の1ワードが分散されてしまう。

【0018】これにより、マーク率の改善能力が、用いる符号本来の能力よりも劣るという問題が生じる。

【0019】例えば、図3に示す従来例で用いた4B5B符号では、本来ならば長さ5ビットの1ワード毎にマーク率2/5~4/5が保証され、最大8ビットまでの同符号連続しか生じない。

【0020】しかし、実際に伝送される直列信号のフレーム構成は、図4に示すようなものとなる。

【0021】図4において、各ビットの番号は、それぞれ図3に示した4B5B符号化回路11~14の出力ポート

の番号に対応している。

【0022】したがって、図4では、ビット11, 12, 13, 14, 15が4B5B符号化回路11から出力された4B5B符号の1つのワードとなり、同様にビット21, 22, 23, 24, 25、ビット31, 32, 33, 34, 35、ビット41, 42, 43, 44, 45がそれぞれ1ワードとなる。

【0023】このように、4B5B符号の1ワードが分散されてしまうので、この場合、長さ20ビットのフレーム単位で見た場合にマーク率2/5~4/5が保証されるに過ぎず、最大32ビットの同符号連続が生じる。

【0024】従って、本発明は、並列デジタル信号をmBnB符号化した後に2回以上のビット多重を行うことにより直列信号に変換して伝送する並列データ伝送装置において、伝送される直列信号をmBnB符号をワード毎に多重したものとし、符号が本来備えているマーク率改善効果を完全に発揮するようにしたデータ伝送装置を提供することを目的とする。

【0025】

【課題を解決するための手段】前記目的を達成するため、本発明は、送信側には、mビット幅(mは自然数)の並列デジタル信号をmBnB符号化してnビット幅(nは2以上の整数)の並列信号を出力するk個(kは自然数)のmBnB符号化回路と、該k個のmBnB符号化回路から出力されたk個のnビット幅の並列信号をインタリーブしてknビット幅の並列信号を出力するインタリーブ回路と、該インタリーブ回路から出力されたknビット幅の並列信号を、2回以上ビット多重することにより直列信号に変換する並列/直列変換回路とを備え、受信側には、受信した直列信号を2回以上ビット分離することによりknビット幅の並列信号に変換する直列/並列変換回路と、該直列/並列変換回路から出力されたknビット幅の並列信号をデインタリーブしてk個のnビット幅の並列信号を出力するデインタリーブ回路と、該デインタリーブ回路から出力されたk個のnビット幅の並列信号を、それぞれnBmB復号してmビット幅の並列信号を出力するk個のnBmB復号回路を備え、kmビット幅の並列デジタル信号を伝送するデータ伝送装置を提供する。

【0026】

【作用】本発明においては、送信側のmBnB符号化回路と並列/直列回路との間でインタリーブを行うことにより、伝送される直列信号がmBnB符号をワード毎に多重したものになる。

【0027】すなわち、mBnB符号がワード毎そのまま直列に伝送されることになるため、符号が本来備えているマーク率の改善能力が完全に発揮される。例えば4B5B符号を用いた場合は、長さ5ビットのワード内でマーク率2/5~4/5が保証され、最大同符号連続は8ビットとなる。

【0028】

【発明の実施の形態】図面を参照して、本発明の実施形態を以下に説明する。

【0029】図1は、本発明の一実施形態の構成を示す図である。本実施形態は、4ビット幅の並列デジタル信号を4B5B符号化して5ビット幅の並列信号を出力する4個のmBnB符号化回路を備えてなるデータ伝送装置として構成されている（請求項1において、 $m=4$ 、 $n=5$ 、 $k=4$ とした構成）。

【0030】図1を参照して、送信側の4個の4B5B符号化回路11~14には、それぞれ4ビット幅の並列デジタル信号が周波数100MHzのクロック信号に同期して入力される。

【0031】4B5B符号化回路11~14はそれぞれ入力された4ビット幅の並列信号を4B5B符号化し、5ビット幅の並列信号を出力する。

【0032】インタリーブ回路100は、4B5B符号化回路11~14から出力された4個の5ビット幅の並列信号をインタリーブし、20ビット幅の並列信号を出力する。

【0033】この20ビット幅の並列信号は、4つの群（グループ）の5ビット幅の並列信号に分けられ、第1の並列／直列変換回路21~24に20入力される。

【0034】第1の並列／直列変換回路21~24は、入力された5ビット幅の並列信号をビット多重し、直列信号を500Mb/sのクロックに同期して出力する。

【0035】4個の第1の並列／直列変換回路21~24から出力された直列信号は第2の並列／直列変換回路30に集められ、4ビット幅の並列信号となる。

【0036】第2の並列／直列変換回路30は、4ビット幅の並列信号をさらにビット多重し、ビットレート2Gb/sの1本の直列信号を出力する。

【0037】直列信号は光送信機40により光信号に変換され、光ファイバ50中を伝送される。

【0038】受信側の光受信機60は光信号を受信し、ビットレート2Gb/sの電気の直列信号を出力する。

【0039】第1の直列／並列変換回路70は光受信機60から出力された直列信号を4ビット幅の並列信号に変換し、500MHzのクロックに同期して出力する。

【0040】第1の直列／並列変換回路70から出力された4ビット幅の並列信号は4本の直列信号に分割され、4個の第2の直列／並列変換回路81~84にそれぞれ40入力される。

【0041】第2の直列／並列変換回路81~84はそれぞれ直列信号を5ビット幅の並列信号に変換し100MHzのクロックに同期して出力する。

【0042】第2の直列／並列変換回路81~84から出力された4個の5ビット幅の並列信号は1つにまとめられて20ビット幅の並列信号となり、デインタリーブ回路110に入力される。

【0043】デインタリーブ回路110は入力された20ビット幅の並列信号をデインタリーブ（インタリーブ処理 50

の逆変換処理）し、4個の5ビット幅の並列信号を出力する。

【0044】4個の5B4B復号回路91~94は、デインタリーブ回路110から出力された5ビット幅の並列信号をそれぞれ5B4B復号して4ビット幅の並列信号を100MHzのクロックに同期して出力する。

【0045】以上のようにしてクロック周波数100MHzで16ビット幅の並列デジタル信号が伝送される。

【0046】図1において、インタリーブ回路100およびデインタリーブ回路110の接続関係は、各ポートに付けた番号で示している。すなわち、インタリーブ回路100においては、同一の番号の4B5B符号化回路11~14の出力ポートと、第1の並列／直列変換回路21~24の入力ポートと、が互いに接続され、同様にデインタリーブ回路110においても、同じ番号の第2の直列／並列変換回路81~84の出力ポートと5B4B復号回路91~94の入力ポートとが互いに接続されている。

【0047】第1の並列／直列変換回路21~24および第2の並列／直列変換回路30では、図中で一番上の入力ポートから入力された信号が直列信号の先頭となり、一番下の入力ポートから入力された信号が直列信号の最後となるように並列／直列変換を行う（例えば第1の並列／直列変換回路21から出力される直列信号のビット順序は入力ポート番号11、15、24、33、42の順序）。

【0048】したがって、本実施形態において光ファイバ50中を伝送される直列信号のフレーム構成は、図2に示すようなものとなる。

【0049】図2において、フレーム内の各数字は、4B5B符号化回路11~14の出力ポート番号を示している。例えば第1の並列／直列変換回路21~24から最初に出力されるポート番号11、12、13、14の4ビット並列信号が第2の並列／直列変換回路30を介してこの順に直列信号として出力され、次に第1の並列／直列変換回路21~24から出力されるポート番号15、21、22、23の4ビット並列信号が第2の並列／直列変換回路30を介してこの順に直列信号として出力されるという具合に、4B5B符号がワード単位（例えばビット11、12、13、14、15）に元のビット順序を保存した状態で直列に出力される。

【0050】すなわち、図2から分かるように、本実施形態では直列信号が4B5B符号をワード毎に多重したものになる。

【0051】したがって、マーク率は長さ5ビットのワード中で2/5~4/5が保証され、最大同符号連続は8ビットとなる。

【0052】受信側の第1の直列／並列変換回路70および第2の直列／並列変換回路81~84では入力された直列信号の先頭のビットが図中で一番上の出力ポートから出力される。したがって、フレーム同期がとれているとき、図2の各ビットは同じ番号の第2の直列／並列変換回路81~84の出力ポートから出力される。

7

【0053】例えば図2のビット11は第2の直列／並列変換回路81の出力ポート11から出力される。

【0054】前述したように、デインタリーブ回路110において第2の直列／並列変換回路81～84の出力ポートは、同じ番号の5B4B復号回路91～94の入力ポートに接続されている。

【0055】以上により、送信側の4B5B符号化回路11～14の出力ポートから出力された信号は、受信側では同じポート番号の5B4B復号回路91～94の入力ポートに入力されるので、4B5B符号は正しく復号される。

【0056】本実施形態は、図3に示した前記従来例にインタリーブ回路100とデインタリーブ回路110を加えたものであり、これにより以下のような顕著な効果が得られる。

【0057】すなわち、従来例では伝送される直列信号のマーク率は長さ20ビットのフレーム単位で2/5～4/5が保証されるに過ぎず、最大同符号連続は32ビットであったのに対し、本実施形態ではマーク率は長さ5ビットのワード中で2/5～4/5が保証され、最大同符号連続は8ビットとなる。

【0058】インタリーブ回路100およびデインタリーブ回路110は単なる配線で実現され、これを加えることによるハードウェアの増加はない。

【0059】本実施形態では、光ファイバを伝送媒体とする光伝送を用いたが、本発明は上記態様にのみ限定されるものでなく、媒体、伝送方式はこれらに限らない。例えば同軸ケーブル、より対線、無線等による電気伝送や光空間伝送等でもよい。

【0060】また、k, m, nなどのパラメータは所定の条件内で任意に設定することができる。

【0061】本実施形態では第1の並列／直列変換回路21～24の個数が4B5B符号化回路11～14の個数に等しくなっているが、これらは等しくなくても良い。

【0062】さらに、本発明は、4B5B符号の代わり

8

に8B10B符号などに適用されることは勿論である。

【0063】

【発明の効果】以上説明したように、前記従来例ではmBnB符号の1ワードが分散して符号が本来備えているマーク率改善効果を完全に発揮することが出来なかったが、本発明によれば、並列デジタル信号をmBnB符号化した後に2回以上のビット多重を行うことにより直列信号に変換して伝送する並列データ伝送装置において、伝送される直列信号がmBnB符号をワード毎に多重したものとなるように構成したことにより、mBnB符号の1ワードがそのまま直列に伝送されるので、符号本来の能力を完全に発揮することを可能とするという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施形態の構成を示す図である。

【図2】本発明の一実施形態における直列信号のフレーム構成を示す図である。

【図3】従来例の構成を示す図である。

【図4】従来例における直列信号のフレーム構成を示す図である。

【符号の説明】

11、12、13、14 4B5B符号化回路

21、22、23、24 第1の並列／直列変換回路

30 第2の並列／直列変換回路

40 光送信機

50 光ファイバ

60 光受信機

70 第1の直列／並列変換回路

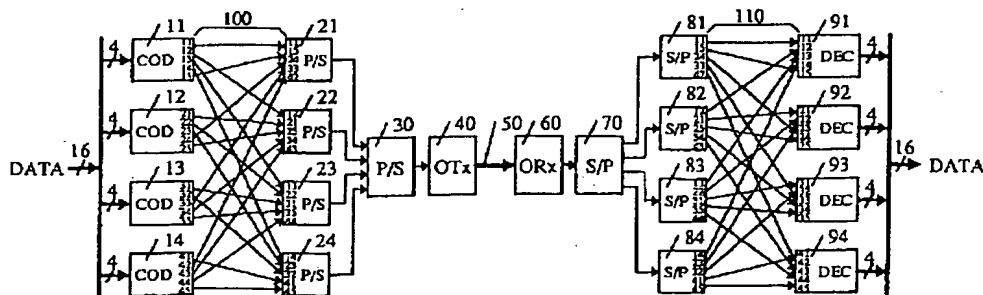
81、82、83、84 第2の直列／並列変換回路

91、92、93、94 5B4B復号回路 (nBmB復号回路)

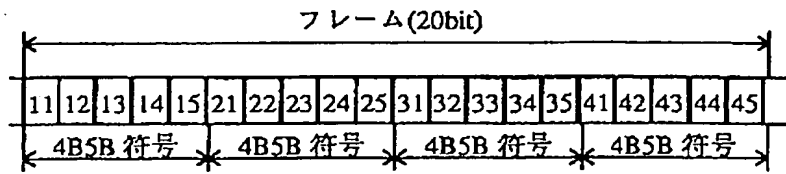
100 インタリーブ回路

110 デインタリーブ回路

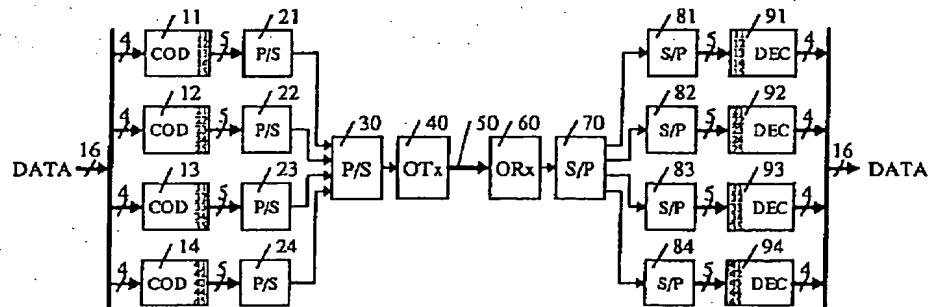
【図1】



【図 2】



【図 3】



【図 4】

